

JAPANESE

[JP,2000-106435,A]

CLAIMS DETAILED DESCRIPTION TECHNICAL FIELD PRIOR ART EFFECT OF THE INVENTION
TECHNICAL PROBLEM MEANS DESCRIPTION OF DRAWINGS DRAWINGS

[Translation done.]

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] An element for power which it had the 1st conductivity-type semiconductor region established in a substrate, and the 2nd conductivity-type semiconductor region, and a part of cementation formed between said 1st conductivity-type semiconductor regions and 2nd conductivity-type semiconductor regions is radicalized, and is characterized by radius of curvature of this radicalized portion being 0.5 micrometers or less.

[Claim 2] An element for power which it was prepared in contact with a semiconductor region of a substrate, and this semiconductor region, and had an electrode which forms said semiconductor region and Schottky barrier, and said a part of Schottky barrier is radicalized, and is characterized by radius of curvature of this radicalized portion being 0.5 micrometers or less.

[Claim 3] An element for power according to claim 1 or 2 characterized by radius of curvature of a portion into which said cementation was radicalized being 0.1 micrometers or less.

[Claim 4] Said radicalized portion is an element for power according to claim 1 to 3 characterized by corresponding to a corner of a level difference configuration.

[Claim 5] Said level difference configuration is an element for power according to claim 4 characterized by having the shape of the shape of V character, and a rectangle.

[Claim 6] It is the element for power which it had the 1st conductivity-type semiconductor region established in a semiconductor substrate which has crystal-face bearing of {100}, and the 2nd conductivity-type semiconductor region, and a part of cementation formed between said 1st conductivity-type semiconductor regions and 2nd conductivity-type semiconductor regions is radicalized, and is characterized by this radicalized portion being constituted by field of crystal-face bearing of {111}.

[Claim 7] It is the element for power which it was prepared in contact with a semiconductor region established in a semiconductor substrate which has crystal-face bearing of {100}, and this semiconductor region, and it had an electrode which forms said semiconductor region and Schottky barrier, and said a part of Schottky barrier is radicalized, and is characterized by this radicalized portion being constituted by field of crystal-face bearing of {111}.

[Claim 8] An element for power characterized by pouring in an electron according to the field emission effect into said solid-state from said emitter when it consists of an anode formed in a field which faces an emitter formed in one field of a solid-state and the solid-state concerned, and said emitter of said solid-state and bias of said emitter is carried out to negative to said anode.

[Claim 9] An element for power according to claim 8 characterized by embedding at least one gate into a solid-state between said emitters and said anodes.

[Claim 10] It is the element for power according to claim 9 which said gate serves as substantially a portion of said solid-state into which an electron is poured according to the field emission effect from a semiconductor layer of the same presentation while said both solid-states and said gates consist of a semiconductor, and is characterized by being p mold conductive layer.

[Claim 11] A portion of said solid-state into which an electron is poured according to the field emission effect is an element for power according to claim 8 to 10 characterized by being an insulating material or a semiconductor which consists of a diamond, silicon carbide, boron nitride, aluminium nitride, gallium nitride, or these solid solutions.

[Claim 12] A portion of said solid-state into which an electron is poured according to the field emission effect is an element for power according to claim 8 to 10 characterized by being an insulating material or a semiconductor which consists of a crystal of a diamond or a sphalerite mold.

[Claim 13] The surface of said solid-state in which said emitter or said anode is formed is an element for power according to claim 12 characterized by having crystal-face bearing of {100}.

[Claim 14] An element for power according to claim 8 to 13 characterized by forming a metal thin film containing at least one of Ti and the Cr(s) in the surface which touches a portion of said solid-state into which an electron of said emitter is poured according to the field emission effect.

[Claim 15] a hole with which said solid-state into which an electron is poured according to the field emission effect was a plate crystal, said emitter used anisotropic etching for one field of the plate crystal concerned, and a tip sharpened -- forming -- the hole concerned -- an element for power according to claim 8 to 14 characterized by being what formed by embedding a conductive material in inside.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] This invention relates to the element for power which started the element for power, especially used the field emission effect of the power semiconductor device of low ON state voltage, and the electron to the inside of a solid-state.

[0002]

[Description of the Prior Art] In addition to the voltage drop in the base layer which prevents voltage, if the ON state voltage of the element for power was an insulated-gate mold semiconductor device, it was channel resistance and a bipolar mold semiconductor device and it was the built-in potential in a PN junction, and a Schottky barrier diode, barrier height etc. added, was put together and it was decided. Comparatively, with the element for power of low pressure-proofing, the base layer which prevents voltage may be thin and built-in potential and barrier height occupy the portion with big ON state voltage. However, since these values were decided with the physical properties and electrode material of the semiconductor device itself, it was impossible to have reduced ON state voltage.

[0003] For example, if the semiconductor device currently called the so-called trench gate mold IGBT is described, it will become as follows. Drawing 11 is the cross section showing the element structure of the conventional trench gate mold IGBT. the voltage drop in n base layer 113 from which the ON state voltage of this semiconductor device prevents voltage — in addition, channel resistance, the built-in potential in the cementation 112 in the p collector layer 111 and n base layer 113, other ohmic resistance, etc. added, were put together, and were decided. Comparatively, with the element for power of low pressure-proofing, although n base layer 113 which prevents voltage could be thin and channel resistance has improved by detailed-ization, a means by which only built-in potential could be reduced was not found out until now. Therefore, the bipolar mold element which has a PN junction had the problem that it could not be used, in low pressure-proofing. In addition, for n source layer and 116, as for a gate electrode and 118, in drawing 11, a gate insulator layer and 117 are [114 / p base layer and 115 / a source electrode and 119] collector electrodes.

[0004] Moreover, if the semiconductor device currently called the so-called Schottky barrier diode is described, it will become as follows. Drawing 12 is the cross section showing the element structure of the conventional shot key mold diode. This semiconductor device has mesa structure to the cathode field in which the shot key electrode 127 is formed, and is effective in a depletion layer spreading from p type layer 124 to the mesa field 123, and controlling electron injection by the OFF state. For this reason, even if it uses a metal with low barrier height for the shot key electrode 127, the leakage current in an OFF state can be suppressed low. In addition to the voltage drop in n base layer 122 which prevents voltage, the barrier height of the shot key electrode 127 added, was put together, and the ON state voltage of such element structure was decided. Comparatively, with the element for power of low pressure-proofing, n base layer 122 which prevents voltage could be thin, and barrier height occupied the portion with big ON state voltage. Therefore, conventionally, although the attempt using a metal with low barrier height as a shot key electrode was made, such a metal has the problem that there are many activity things, and electrode formation will be difficult or will deteriorate in the long run chemically, and was not connected to utilization. In addition, for 121, as for p mold polish recon layer and 126, in drawing 12, n type layer and 125 are [the Schottky barrier and 128] anode electrodes (ohmic electrode).

[0005] Moreover, research and development in the vacuum microelement which built in the cold cathode mold emitter as an element for power is done in recent years. Also under the conditions which do not perform intentional heating especially, if the high voltage is impressed, the phenomenon in which an electron is emitted into a vacuum from the emitter section (cold cathode mold emitter) is used for this vacuum microelement. This vacuum microelement is equipped with a high reverse resisting pressure property, high-speed responsibility, and radiation resistance, and since it is hardly dependent on temperature, these properties attract attention as a high-speed device or a power device.

[0006] The principle of operation of vacuum microelement is as follows. That is, when bias of the emitter section which has radius of curvature with a minute tip is carried out to negative, the electric field mostly determined with curvature are impressed to an emitter point, the potential barrier width of face to the electron of an emitter point decreases, tunneling occurs, an electron is emitted into a vacuum, and an anode is reached. On the other hand, in the anode used as flat electrode structure, even if bias of the anode is carried out to negative, electric-field concentration does not take place, potential barrier width of face does not become narrow as this result, and radiation of the electron from an anode will not take place.

[0007] The emitter in vacuum microelement is constituted by electric conductivity materials, such as a

metal or a semiconductor, and it is processed so that a point may have the curvature of several nm or less. The following methods are used, although it is accompanied by extraordinary difficulty in order for this point to form the emitter which has small radius of curvature.

[0008] In the case of the emitter which consists of a metal, if voltage is impressed to an emitter, the self-radicalization phenomenon in which a surface atom moves under strong electric field, and the radius of curvature of an emitter point decreases will be used. However, saying [that the point of the emitter which consists of a metal can be formed using a self-radicalization phenomenon] -- also taking -- it does not correct, but the emitter point means being put on the bottom of electric field strong against the degree which carries out self-deformation, and it means that it is very unstable also in process.

[0009] Moreover, there is also a method using etching or oxidation. That is, after carrying out selective etching of the Si single crystal, the metal or semi-conducting material with which a point forms the hole of the shape of a pyramid used as a very narrow punch, and serves as an emitter material by using this hole as a ** form by oxidizing this is deposited, and the emitter structure of removing a ** form and having a point with small radius of curvature is formed.

[0010] Although many emitters are operated in juxtaposition and used in vacuum microelement, considerable difficulty is followed on holding the property of each emitter to homogeneity. A certain residual gas and adsorbate exist in the vacuum of vacuum microelement. Since the property of vacuum microelement is strongly influenced in a residual-gas kind or gas pressure, it is influenced by the adsorbed state of gas of change, and fluctuation of a noise or an element property appears. Even if it secures ten to 7 Pa, and a very high degree of vacuum, fluctuation of the element property which reaches also to 10% is observed. It is a big technical problem in vacuum microelement to hold a high vacuum inside an element.

[0011] In vacuum microelement, the phenomenon in which an element will be in a short circuit condition working often occurs, and poses a very big problem on operational stability. If the vacuum microelement which changed into the short circuit condition is observed when operating the emitter in juxtaposition, an emitter portion will fuse and signs that emitter material has evaporated will be found out. Resistance of the circuit which lets a certain emitter [****] pass falls rapidly, current concentrates through a specific emitter, it flows, the emitter serves as an unusual elevated temperature, and this shows that the phenomenon emitter material carries out [a phenomenon] melting evaporation occurs.

[0012] It is thought that it has a factor resulting from the discharge phenomenon between an emitter and a control electrode since the melting destructive phenomenon of an emitter is found out in the element of the structure where the control electrode was formed by the control electrode and emitter portion which enclose an emitter in the shape of the circumference. It is a very important problem in vacuum microelement to prevent the phenomenon in which current concentrates on a specific emitter and an element is destroyed. In order to prevent this in circuit, the policy which insert protective resistance according to an individual, and it is made for current limiting to join each emitter, or inserts a current-limiting circuit for every emitter is taken.

[0013] However, operational stability cannot fully be secured by this policy, and element structure and a circuit of operation are complicated on the contrary, and the problem of the increment in excessive power loss or a manufacturing cost is also produced.

[0014]

[Problem(s) to be Solved by the Invention] Since there are some to which built-in potential and barrier height occupy the portion with big ON state voltage in the conventional element for power and the value of this ON state voltage was decided with the physical properties and electrode material of the semiconductor device itself as stated above, it was impossible to have reduced ON state voltage.

[0015] Moreover, in the conventional vacuum microelement, the phenomenon in which an element will be in a short circuit condition working often occurs, and poses a very big problem on operational stability. Although protective resistance is inserted according to an individual at each emitter, it is made for current limiting to be added or the policy which inserts a current-limiting circuit for every emitter is taken in order to prevent this in circuit, operational stability is not fully securable with this policy, on the contrary, it complicates and element structure and a circuit of operation also produce the problem of the increment in excessive power loss or a manufacturing cost. This invention aims at offering the element for power which was excellent in the property of having low ON state voltage and the stable actuation.

[0016]

[Means for Solving the Problem] In order to solve the above-mentioned technical problem, it had the 1st conductivity-type semiconductor region established in a substrate of this invention, and the 2nd conductivity-type semiconductor region, a part of cementation formed between said 1st conductivity-type semiconductor regions and 2nd conductivity-type semiconductor regions is radicalized, and the 1st offers an element for power characterized by radius of curvature of this radicalized portion being 0.5 micrometers or less.

[0017] In this this invention, a thing equipped with the following configurations is desirable.

(1) Radius of curvature of a portion into which said cementation was radicalized should be 0.1 micrometers or less.

(2) Said radicalized portion should correspond to a corner of a level difference configuration.

[0018] (3) Said level difference configuration should have the shape of the shape of V character, and a rectangle.

Moreover, the 2nd of this invention was equipped with the 1st conductivity-type semiconductor region established in a semiconductor substrate which has crystal-face bearing of {100}, and the 2nd conductivity-type semiconductor region, a part of cementation formed between said 1st conductivity-type

semiconductor regions and 2nd conductivity-type semiconductor regions is radicalized, and an element for power characterized by this radicalized portion being constituted by field of crystal-face bearing of {111} is offered.

[0019] Since according to the 1st of this invention, and the 2nd it is formed so that it may become the configuration in which a part of PN junction in which the 1st conductivity-type semiconductor region and the 2nd conductivity-type semiconductor region are formed by touching was radicalized, built-in potential of a portion into which a PN junction was radicalized becomes low compared with other portions. For this reason, built-in potential used as a big factor which makes ON state voltage increase in the case of a bipolar mold power semiconductor device etc. can be reduced, and it becomes possible to reduce ON state voltage remarkably. Therefore, magnitude of built-in potential of a PN junction becomes possible [applying comparatively a bipolar mold power semiconductor device acting as a failure etc. also to a use of low pressure-proofing].

[0020] Moreover, it was prepared in contact with a semiconductor region of the 3rd substrate and this semiconductor region of this invention, and it had an electrode which forms said semiconductor region and Schottky barrier, said a part of Schottky barrier is radicalized, and radius of curvature of this radicalized portion offers an element for power characterized by being 0.5 micrometers or less.

[0021] In this this invention, a thing equipped with the following configurations is desirable.

(1) Radius of curvature of a portion into which said cementation was radicalized should be 0.1 micrometers or less.

(2) Said radicalized portion should correspond to a corner of a level difference configuration.

[0022] (3) Said level difference configuration should have the shape of the shape of V character, and a rectangle.

Moreover, it was prepared in contact with a semiconductor region established in a semiconductor substrate with which the 4th of this invention has crystal-face bearing of {100}, and this semiconductor region, and it had an electrode which forms said semiconductor region and Schottky barrier, said a part of Schottky barrier is radicalized, and an element for power characterized by this radicalized portion being constituted by field of crystal-face bearing of {111} is offered.

[0023] Since according to the 3rd of this invention, and the 4th it is formed so that it may become the configuration in which a part of Schottky barrier in which a semiconductor region and an electrode are formed by touching was radicalized, barrier height of a portion into which the Schottky barrier was radicalized becomes low compared with other portions. For this reason, it is possible to be able to reduce barrier height used as a big factor which makes ON state voltage of a Schottky barrier diode increase, and to reduce ON state voltage remarkably.

[0024] Moreover, when it consists of an anode formed in a field which faces an emitter formed in one field of the 5th solid-state and the solid-state concerned of this invention, and said emitter of said solid-state and bias of said emitter is carried out to negative to said anode, an element for power characterized by pouring in an electron according to the field emission effect into said solid-state from said emitter is offered.

[0025] In this this invention, a thing equipped with the following configurations is desirable.

(1) At least one gate should be embedded into a solid-state between said emitters and said anodes.

[0026] (2) While said both solid-states and said gates consist of a semiconductor, an electron serves as substantially a portion of said solid-state poured in according to the field emission effect from a semiconductor layer of the same presentation, and said gate should be p mold conductive layer.

[0027] (3) A portion of said solid-state into which an electron is poured according to the field emission effect should be an insulating material or a semiconductor which consists of a diamond, silicon carbide, boron nitride, aluminum nitride, gallium nitride, or these solid solutions.

[0028] (4) A portion of said solid-state into which an electron is poured according to the field emission effect should be an insulating material or a semiconductor which consists of a crystal of a diamond or a sphalerite mold.

(5) The surface of said solid-state in which said emitter or said anode is formed should have crystal-face bearing of {100}.

[0029] (6) A metal thin film containing at least one of Ti and the Cr(s) should be formed in the surface which touches a portion of said solid-state into which an electron of said emitter is poured according to the field emission effect.

[0030] (7) a hole with which said solid-state into which an electron is poured according to the field emission effect was a plate crystal, said emitter used anisotropic etching for one field of the plate crystal concerned, and a tip sharpened -- forming -- the hole concerned -- be formed by embedding a conductive material in inside.

[0031] According to the 5th of this invention, an element for power of a field emission mold is constituted by using not a field emission phenomenon of an electron to the inside of a vacuum but a field emission phenomenon of an electron to the inside of a solid-state. Both failure of the emitter section and fluctuation of a property by two remarkable troubles found out by vacuum microelement, i.e., discharge breakdown, are the phenomena resulting from space where an electronic field emission phenomenon occurs being a vacuum. Like this invention, a trouble [in / for space where field emission of the electron is carried out / the inside of a solid-state, then vacuum microelement] is solved fundamentally. Furthermore, since it becomes unnecessary to prepare a current-limiting circuit for every emitter like vacuum microelement, and to prevent a discharge-breakdown phenomenon, a circuit of operation becomes very easy, and excessive power spent for element destructive prevention can be reduced, and it becomes possible to offer a high speed and an element for power of a low power.

[0032] A phenomenon in which field emission of the electron is carried out into a solid-state is not used as an electronic instrument until now. Several reasons can be considered although a field emission phenomenon to the inside of a solid-state which should exist as a physical phenomenon could not be used as an electronic instrument. For pulling out an electron and making it emanate, electric field high to a 108 V/cm degree are needed by tunneling. Such high electric field are the fields near essential dielectric breakdown voltage of a solid material. Under high electric field near such dielectric breakdown, a solid defect poses a fatal problem. This problem is solvable by manufacturing an element with a material with which a single crystal with few defects which is the strong refractory material which cannot cause dielectric breakdown easily as a solid material can grow. That is, it is possible to solve by using application of element structure of being hard to generate a defect, and an element structure formation process of not generating a defect.

[0033] Moreover, in an element for power by the 5th of this this invention, the gate which acts on an emitter has structure substantially embedded into a solid-state, by considering as this structure, it does not generate and creeping discharge which breaks out through the solid-state surface under high electric field does not generate a deabsorption phenomenon of gas constituents, either.

[0034] Furthermore, when a material of the gate and a material of a solid-state with which the gate is embedded are not substantially accepted to be the same in presentation, generating of a crystal defect is not avoided in the case of deposition of an element for power of a field emission mold. When a material of the gate is substantially considered as the same presentation with a material of a solid-state with which the gate is embedded, the low resistance gate can be easily formed by adding an impurity into a gate portion at high concentration.

[0035] A solid material into which an electron is poured by field emission from an emitter is good to consider as a point to n mold or a non dope which makes a potential barrier over a tunnel as low as possible. It is good to use a conductivity type of the gate as p mold at this point.

[0036] Moreover, although it is desirable when an insulating material or a semiconductor with which an electron consists of a diamond, silicon carbide, boron nitride, aluminum nitride, gallium nitride, or these solid solutions as a portion of said solid-state poured in according to the field emission effect is used, this is based on the following reason. That is, a diamond and silicon carbide with prohibition **** wide also in IV group elemental semiconductor or an III-V group's compound semiconductor, boron nitride and aluminum nitride, and gallium nitride are refractory materials, and its dielectric-breakdown electric field are also high. Therefore, these materials are excellent in a point of performing element actuation, without causing a discharge-breakdown phenomenon.

[0037] Moreover, if the surface of said solid-state has crystal-face bearing of {100} especially in using an insulating material or a semiconductor with which an electron consists of a crystal of a diamond or a sphalerite mold as a portion of said solid-state poured in according to the field emission effect, an etching pit will serve as a rectangular-head drill surrounded in respect of {111} by anisotropic etching, and a tip of an etching pit will serve as a configuration where it sharpened extremely. By embedding this etching pit with a suitable electrical conducting material, a good emitter which pours in an electron according to the field emission effect into a solid-state is constituted.

[0038] Moreover, although it is desirable that a metal thin film containing at least one of Ti and the Cr(s) is formed in the surface which touches a portion of said solid-state into which an electron of said emitter is poured according to the field emission effect, this is based on the following reasons. That is, in order to embed an electrical conducting material at an etching pit formed by anisotropic etching and to form a good emitter, it is desirable to make an electrical conducting material invade to a tip of a hole formed by etching. A failure when making an electrical conducting material invade to a point with small radius of curvature is the surface tension of an electrical conducting material which is a solid-state. In the case of refractory materials, such as a diamond, it was checked that a metal thin film containing at least one of Ti and the Cr(s) invades to a point of an etching pit with small radius of curvature. A metal with which this contains at least one of Ti and the Cr(s) is considered to be the result of having reflected wettability with refractory materials, such as a diamond, having been good. Emitter structure of operating by low battery was realizable by introducing between a solid-state with which an electron is poured in, and said emitter electrode (cathode electrode) by making a metal thin film containing at least one of Ti and the Cr(s) into a buffer coat.

[0039] moreover, holes (4 pyramid-like hole etc.) with which said solid-state into which an electron is poured according to the field emission effect was a plate crystal, said emitter used anisotropic etching for one field of the plate crystal concerned, and a tip sharpened -- forming -- the hole concerned -- it is desirable by the following reasons that it is what is formed by embedding a conductive material in inside.

[0040] That is, although one problem in vacuum microelement is dispersion in a property between emitters as mentioned above, a production process required to manufacture emitter tip structure of having minute radius of curvature in the case of a power semiconductor device by this this invention is one anisotropic etching production process. Moreover, since emitter structure is what is determined with the property of crystal each side, its repeatability is very high. It is very difficult for repeatability deficiently to form structure of having minute radius of curvature, under environment where it changes whenever it carries out a production process, like [in the case of emitter structure of the Spindt mold]. Dispersion for every emitter also cannot but become very big.

[0041] On the other hand, also when forming an emitter from a material of another kind by using as mold an etching pit formed in a crystal of silicon etc. by anisotropic etching in a manufacture method of vacuum microelement Although it is the same as that of a case of this invention in a point which manufactures emitter structure by crystalline anisotropy etching A point that emitter structure is manufactured through a process of other phases, such as removal of mold, differs from the etching pit itself manufactured by

anisotropic etching in that a part of emitter structure has not become. After passing through a production process of many phases, deformation of a configuration also becomes remarkable and dispersion between emitters also increases. Since emitter structure can be once manufactured at an etching production process in this invention, it is possible with very sufficient repeatability to manufacture an emitter to homogeneity.

[0042]

[Embodiment of the Invention] Hereafter, the operation gestalt concerning the element for power of this invention is explained, referring to a drawing.

(1st operation gestalt) Drawing 1 is the cross section showing the element structure of the element for power concerning the 1st operation gestalt of this invention. The semiconductor device of this operation gestalt shown in drawing 1 is the so-called trench gate mold IGBT, and has the portion which was radicalized in a part of PN junction 2 which consists of a p mold collector layer 1 and an n mold base layer 3. The radius of curvature of this radicalized portion is 0.01–0.1 micrometers of outlines. On n mold base layer 3, p mold base layer 4 is formed so that this may be touched, and in the surface of p mold base layer 4, it is n+. The mold source layer 5 is formed. Moreover, n+ A slot is prepared so that the mold source layer 5 and p mold base layer may be penetrated, and the gate electrode 7 is embedded through the gate insulator layer 6 in this slot. n+ The source electrode 8 contacts the mold source layer 5 and p mold base layer 4, and the collector electrode 9 is in contact with p mold collector layer 1.

[0043] According to this structure, the built-in potential of the portion into which PN junction 2 was radicalized becomes lower than other portions, and the ON state voltage of an element is reduced only for the part. Consequently, the magnitude of the built-in potential of a PN junction becomes possible [applying IGBT acting as a failure also to the use of low pressure-proofing comparatively].

[0044] Next, the 1st method for producing the substrate of the element for power concerning the 1st operation gestalt is explained. Drawing 2 is the production process cross section showing this 1st method. First, by performing anisotropic etching to n mold substrate 21, as shown in drawing 2 (a); slot 22a of V typeface is formed, and then it oxidizes thermally, and is radicalized in the point of slot 22a (drawing 2 (b)). 22b is the point formed of this radicalization.

[0045] Next, after removing the thermal oxidation film formed in the surface of n mold substrate 21 of thermal oxidation, the high concentration p type layer 23 is grown epitaxially on it (drawing 2 (c)). Level difference 23a is formed in the surface of the high concentration p type layer 23. As occasion demands, flattening of the surface of the high concentration p type layer 23 is carried out by wrapping etc., and it considers as the substrate of drawing 1. Here, n mold base layer 3 and the high concentration p type layer 23 turn into p mold collector layer 1, and, as for n mold substrate 21, the PN junction in which the part was radicalized is formed between n mold substrate 21 and the high concentration p type layer 23. After that, the power semiconductor device concerning the 1st operation gestalt for this substrate is producible at the IGBT production process production process of **** repetition *****.

[0046] When a silicon (Si) substrate and a cubic silicon carbide (3 C–SiC) substrate are used as a substrate, KOH can be used for the production process of the above-mentioned anisotropic etching as an etching reagent.

[0047] Next, the 2nd method for producing the substrate of the element for power concerning the 1st operation gestalt is explained. Drawing 3 is the production process cross section showing this 2nd method. First, by performing anisotropic etching to the high concentration p mold substrate 31, as shown in drawing 3 (a), the slot 32 of V typeface is formed and n type layer 33 is grown epitaxially on it (drawing 3 (b)). Level difference 33a is formed in the surface of the high concentration p type layer 33. As occasion demands, flattening of the surface of n type layer 33 is carried out by wrapping etc., and it considers as the substrate of drawing 1. Moreover, when the high concentration p mold substrate 31 also grinds the field growing epitaxially and field of the opposite side, you may make it thin. Here, the PN junction in which p mold collector layer 1 and n type layer 33 turn into n mold base layer 3, and the high concentration p mold substrate 31 has the radicalized point between the high concentration p mold substrate 31 and n type layer 33 is formed. After that, the power semiconductor device concerning the 1st operation gestalt is producible at the usual IGBT production process production process. It is possible to use the anisotropic etching described above also in this 2nd method.

[0048] (2nd operation gestalt) Drawing 4 is the cross section showing the element structure of the element for power concerning the 2nd operation gestalt of this invention. In this drawing, the same sign is attached and shown in the same portion as drawing 1, and detailed explanation is omitted.

[0049] In the semiconductor device of this operation gestalt, PN junction 42 was formed between p mold collector layer 41 and n mold base layer 43, and a part of this PN junction 42 is radicalized with reactive ion etching (RIE) etc. That is, PN junction 42 from which the angle of a slot became the tip section is formed by forming a slot in p mold collector layer 41 by reactive ion etching (RIE) etc., and forming n mold base layer 43 with epitaxial growth all over p mold collector layer 41 including this slot. The radius of curvature of this radicalized portion is 0.3 micrometers of outlines.

[0050] Moreover, contrary to this, a slot is formed in n mold base layer 43 by reactive ion etching (RIE) etc., and the same substrate is obtained also by forming p mold collector layer 41 with epitaxial growth all over n mold base layer 43 including this slot.

[0051] Thus, the built-in potential of the radicalized portion becomes low, and it becomes possible to reduce ON state voltage by this. Since a slot can be formed by RIE also in the material which cannot perform anisotropic etching by the drug solution according to this method, it has the advantage that the range of an applicable material becomes large.

[0052] The above-mentioned production process of reactive ion etching is HBr and NF₃ as etching gas, when a silicon (Si) substrate is used as a substrate. Using the included mixed gas, when a silicon carbide (SiC) substrate is used, it is SF₆ as etching gas. The mixed gas containing O₂, or NF₃ The included gas can be used.

[0053] (3rd operation gestalt) Drawing 5 is the cross section showing the element structure of the element for power concerning the 3rd operation gestalt of this invention. In this drawing, the same sign is attached and shown in the same portion as drawing 1, and detailed explanation is omitted.

[0054] In the semiconductor device of this operation gestalt, PN junction 52 was formed between p mold collector layer 51 and n mold base layer 53, and a part of this PN junction 52 is further radicalized from the case of the 2nd operation gestalt. namely, the n mold base layer 53 whole surface which forms in n mold base layer 53 the slot which was able to scoop out the base edge, and includes this slot in it by choosing the etching conditions of reactive ion etching (RIE) -- p mold collector layer 51 -- epitaxial growth -- forming -- this substrate -- ***** -- PN junction 52 from which the portion which was able to scoop out the slot became the tip section by things is formed. The radius of curvature of this radicalized portion is 0.01–0.1 micrometers of outlines. According to the equipment of this operation gestalt, built-in potential can be further made low and it becomes possible from the 2nd operation gestalt to reduce ON state voltage further.

[0055] As the above-mentioned production process of reactive ion etching, it is O₂ so that deposition film generation of a slot side wall may be suppressed. Methods, such as stopping a quantity of gas flow, can be used. It is possible to form the slot which could be made to increase oblique-incidence ion for a slot as a Boeing configuration (configuration where the slot became almost larger than the width of face of opening of the width-of-face fang furrow of the portion of the middle depth and a pars basilaris ossis occipitalis), and was able to scoop out the base edge by this method.

[0056] (4th operation gestalt) Drawing 6 is the cross section showing the element structure of the element for power concerning the 4th operation gestalt of this invention. The semiconductor device of this operation gestalt shown in drawing 6 is the so-called trench mold Schottky barrier diode, and has the portion which was radicalized in a part of Schottky barrier 66 which consists of an n mold base layer 62 and a shot key electrode 67. The radius of curvature of this radicalized portion is 0.01–0.1 micrometers of outlines. The high concentration n type layer 61 is formed in the shot key electrode 67 of n mold base layer 62, and the field of the opposite side, and the anode electrode (ohmic electrode) 68 is in contact with this high concentration n type layer 61.

[0057] Moreover, n mold base layer 62 is formed in the mesa-mold, the mesa field 63 of n mold base layer 62 is adjoined, and the slot is prepared. The high concentration p type layer 64 is formed in the surface of this slot, and the high concentration p mold polish recon layer 65 is formed so that the slot concerned may be embedded. The depth of the portion into which the Schottky barrier 66 was radicalized is shallower than the depth of the high concentration p mold polish recon layer 65. Said shot key electrode 67 is in contact also with the high concentration p type layer 64 and the high concentration p mold polish recon layer 65.

[0058] According to this structure, the barrier height of the radicalized portion becomes lower than other portions, and the ON state voltage of an element is reduced only for the part. Consequently, it becomes possible to reduce barrier height using the stable electrode material.

[0059] In the substrate of the power semiconductor device concerning this operation gestalt, in order to form a radicalization portion in the Schottky barrier 66 between the mesa field 63 of n mold base layer 62, and the shot key electrode 67, it is possible to be able to use the anisotropic etching method stated with the 1st operation gestalt, to embed the shot key electrode 67 at the hole formed by anisotropic etching, and to produce a Schottky barrier diode.

[0060] (5th operation gestalt) Drawing 7 is the cross section showing the element structure of the element for power concerning the 5th operation gestalt of this invention. In this drawing, the same sign is attached and shown in the same portion as drawing 1, and detailed explanation is omitted.

[0061] In the semiconductor device of this operation gestalt, the Schottky barrier 76 was formed between the mesa field 73 of n mold base layer 62, and the shot key electrode 77, and a part of this Schottky barrier 76 is radicalized with reactive ion etching (RIE) etc. That is, the Schottky barrier 76 from which the angle of a slot became the tip section is formed by forming a slot in the mesa field 73 of n mold base layer 62 by reactive ion etching (RIE) etc., and forming the shot key electrode 77 all over mesa field 73 including this slot. The depth of the portion into which the Schottky barrier 76 was radicalized is shallower than the depth of the high concentration p mold polish recon layer 65. The radius of curvature of the portion by which radicalization was carried out [above-mentioned] is 0.3 micrometers of outlines.

[0062] According to the Schottky barrier 76 from which the angle of a slot became the tip section as described above, the barrier height of this tip section becomes possible [becoming low and reducing ON state voltage]. Since a slot can be formed by RIE also in the material which cannot perform anisotropic etching by the drug solution according to such a configuration, it has the advantage that the range of an applicable material becomes large.

[0063] In the substrate of the power semiconductor device concerning this operation gestalt, in order to form a radicalization portion in the Schottky barrier 76 between the mesa field 73 of n mold base layer 62, and the shot key electrode 77, it is possible to be able to use the anisotropic etching method stated with the 2nd operation gestalt, to embed the shot key electrode 77 at the hole formed by anisotropic etching, and to produce a Schottky barrier diode.

[0064] (6th operation gestalt) Drawing 8 is the cross section showing the element structure of the element for power concerning the 6th operation gestalt of this invention. In this drawing, the same sign is attached

and shown in the same portion as drawing 1, and detailed explanation is omitted.

[0065] In the semiconductor device of this operation gestalt, the Schottky barrier 86 was formed between the mesa field 83 of n mold base layer 62, and the shot key electrode 87, and a part of this Schottky barrier 86 is further radicalized from the case of the 5th operation gestalt. That is, the Schottky barrier 86 from which the portion which was able to scoop out the slot became the tip section is formed by choosing the etching conditions of reactive ion etching (RIE) by forming in the mesa field 83 of n mold base layer 62 the slot which was able to scoop out the base edge, and forming the shot key electrode 87 all over mesa field 83 including this slot. The depth of the portion into which the Schottky barrier 86 was radicalized is shallower than the depth of the high concentration p mold polish recon layer 65. The radius of curvature of this radicalized portion is 0.01–0.1 micrometers of outlines. According to the equipment of this operation gestalt, the barrier height of the above-mentioned tip section becomes possible [becoming low and reducing ON state voltage further] from the 5th operation gestalt further.

[0066] In the substrate of the power semiconductor device concerning this operation gestalt, in order to form a radicalization portion in the Schottky barrier 86 between the mesa field 83 of n mold base layer 62, and the shot key electrode 87, it is possible to be able to use the anisotropic etching method stated with the 3rd operation gestalt, to embed the shot key electrode 87 at the hole formed by anisotropic etching, and to produce a Schottky barrier diode.

[0067] (7th operation gestalt) Drawing 9 is the cross section showing the element structure of the element for power concerning the 7th operation gestalt of this invention. As shown in drawing 9, the pyramid-like hole 92 with which the tip was radicalized is formed in one field of the non dope diamond plate crystal 91 which makes (100) a principal plane, Mo metal layer 93 is embedded at this pyramid-like hole 92, and the emitter is constituted. Between the pyramid-like hole 92 and Mo metal layer 93, the Ti thin film 94 whose thickness is 1nm is inserted. The radius of curvature of the point of the pyramid-like hole 92 is 0.01–0.1 micrometers of outlines. The electrode 95 with which it comes to carry out the laminating of Ti layer, Pt layer, and the Au layer to order is formed in the field which faces the emitter of the diamond plate crystal 91 as an anode electrode. Moreover, p mold diamond layer 96 is embedded at the diamond plate crystal 91, and functions as the gate so that the point of the pyramid-like hole 92 which functions as an emitter may be surrounded.

[0068] the time of bias being impressed in the electronic instrument of this structure, so that an emitter may become negative — an emitter — an electron is injected into the diamond plate crystal layer 91 according to the field emission effect from the point of the pyramid-like hole 92 of Mo metal layer 93, and current is taken out from the anode electrode 95. This is the same as that of the function realized by the so-called vacuum microelement. However, in the case of the element of this invention, the melting destructive phenomenon of an emitter, the noise, or the unusual property fluctuation which were observed by vacuum microelement were not observed.

[0069] (8th operation gestalt) Drawing 10 is the production process cross section showing the manufacture method of the element for power concerning the 8th operation gestalt of this invention. First, the crystal face whose thickness is 100 micrometers as shown in drawing 10 (a) is SiO₂ of 0.5-micrometer thickness by the vacuum deposition method to the surface of the diamond crystal 101 of (100). A film 102 is formed and it is SiO₂. The photoresist mask 103 which has a ring-like opening by the photolithography method is formed on a film 102.

[0070] Next, as shown in drawing 10 (b), the photoresist mask 103 is used, and it is SiO₂ by the reactive-ion-etching method. Selective etching of the film 102 is carried out. this etching — setting — SF₆ and CHF₃ etc. — gas is used. Then, O₂ Usher removes the photoresist mask 103 and it is SiO₂. A mask 104 is formed.

[0071] Next, it is SiO₂ as shown in drawing 10 (c). Using a mask 104, during the diamond crystal 101, B which is p mold impurity is diffused and the gate layer 105 of the shape of a ring which consists of a p mold diamond layer is formed. SiO₂ A mask 104 carries out etching removal by rare fluoric acid, and grows homoepitaxially uniformly the non dope diamond layer 106 of 2-micrometer thickness with a CVD method on the 101st page of a diamond crystal after this. It is SiO₂ of 0.5-micrometer thickness after an appropriate time. A film 107 is again formed with a CVD method, and the photoresist mask 108 which has a opening in the core of the gate layer 105 by the photolithography method is formed.

[0072] Next, as shown in drawing 10 (d), the photoresist mask 108 is used, and it is SiO₂. A film 107 is etched and it is SiO₂. A mask 109 is formed. Furthermore, SiO₂ after removing the photoresist mask 108 Thermal oxidation performs anisotropic etching to the non dope diamond layer 106 using a mask 109, and the 4 pyramid-like hole 110 is formed in the non dope diamond layer 106. The radius of curvature of the point of this 4 pyramid-like hole 110 is 0.01–0.1 micrometers of outlines.

[0073] It is SiO₂ as shown in after an appropriate time at drawing 10 (e). After making 1nm of Ti layers 111 deposit with a vacuum deposition method from on a mask 109, vacuum deposition of the Mo layer 112 is carried out, and a cathode electrode is formed. Vacuum deposition of Ti layer, Pt layer, and the Au layer is carried out to the cathode electrode 112 of the diamond crystal 101, and the field of the opposite side at order, and the anode electrode 110 is formed. In addition, the Ti layer 111 may be formed all over non dope diamond layer 106, and may be alternatively formed in the 4 pyramid-like hole 110 liked drawing 10 (e). In the case of the latter, there is an advantage that the curvature of a wafer is reduced.

[0074] It became the field emission electronic instrument manufactured by this manufacture method has very little dispersion in the property between each emitter, and possible to realize the stable property. In addition, this invention is not limited to the above-mentioned operation gestalt. For example, if using a point for cementation between P emitter layer of a GTO thyristor and N base layer etc. is the PN junction as

which reverse pressure-proofing is not required, it can apply to various devices and those ON state voltage can be reduced.

[0075] Moreover, although the 7th and 8th operation gestalten showed only fundamental structure, it is applicable to the structure which repeated this structure, the structure which deformed the gate configuration. In addition, in the range which does not deviate from the summary of this invention, it deforms variously and can carry out.

[0076]

[Effect of the Invention] As stated above, according to this invention, by forming the radicalized PN junction and the radicalized Schottky barrier, built-in potential and shot key barrier height can decrease, and the element for power with small ON state voltage can be realized.

[0077] Moreover, according to this invention, by using the field emission phenomenon of the electron to the inside of a solid-state, the problem of discharge breakdown or property fluctuation is solved and it becomes possible to offer the element for power which was excellent in the property of having the actuation stabilized with the high speed and the low power. Worth of this invention is very high at this point.

.....
[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] The cross section showing the element structure of the power semiconductor device concerning the 1st operation gestalt of this invention.

[Drawing 2] The production process cross section showing the 1st method of manufacturing the power semiconductor device concerning the 1st operation gestalt of this invention.

[Drawing 3] The production process cross section showing the 2nd method of manufacturing the power semiconductor device concerning the 1st operation gestalt of this invention.

[Drawing 4] The cross section showing the element structure of the power semiconductor device concerning the 2nd operation gestalt of this invention.

[Drawing 5] The cross section showing the element structure of the power semiconductor device concerning the 3rd operation gestalt of this invention.

[Drawing 6] The cross section showing the element structure of the power semiconductor device concerning the 4th operation gestalt of this invention.

[Drawing 7] The cross section showing the element structure of the power semiconductor device concerning the 5th operation gestalt of this invention.

[Drawing 8] The cross section showing the element structure of the power semiconductor device concerning the 6th operation gestalt of this invention.

[Drawing 9] The cross section showing the element structure of the element for power using the field emission phenomenon to the inside of the solid-state of the electron concerning the 7th operation gestalt of this invention.

[Drawing 10] The production process cross section showing how to manufacture the element for power using the field emission phenomenon to the inside of the solid-state of the electron concerning the 8th operation gestalt of this invention.

[Drawing 11] The cross section showing the element structure of the conventional trench mold IGBT.

[Drawing 12] The cross section showing the element structure of the conventional trench mold Schottky barrier diode.

[Description of Notations]

- 1, 41, 51 -- p mold collector layer
- 2, 42, 52 -- PN junction
- 3, 43, 53 -- n mold base layer
- 4 -- p mold base layer
- 5 -- n+ Mold source layer
- 6 -- Gate insulator layer
- 7 -- Gate electrode
- 8 -- Source electrode
- 9 -- Collector electrode
- 61 -- High concentration n type layer
- 62 -- n mold base layer
- 63, 73, 83 -- Mesa field
- 64 -- High concentration p type layer
- 65 -- High concentration p mold polish recon layer
- 66, 76, 86 -- Schottky barrier
- 67, 77, 87 -- Shot key electrode
- 68 -- Anode electrode (ohmic electrode)
- 91 -- Non dope diamond crystal
- 92 -- Pyramid-like hole
- 93 -- Mo metal layer
- 94 -- Ti thin film
- 95 -- Anode electrode
- 96 -- Gate (p mold diamond layer)
- 101 -- Diamond crystal
- 102 -- SiO₂ Film
- 103 -- Resist mask
- 104 -- SiO₂ Mask
- 105 -- Gate layer
- 106 -- Non dope diamond layer

107 -- SiO₂ Film
108 -- Photoresist mask
109 -- SiO₂
110 -- Anode electrode
111 -- 4 pyramid-like hole
112 -- Cathode electrode

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-106435
(P2000-106435A)

(43) 公開日 平成12年4月11日 (2000.4.11)

(51) Int.Cl. ⁷	識別記号	F I	テマコード* (参考)
H 0 1 L 29/78		H 0 1 L 29/78	6 5 5 C 4 M 1 0 4
29/872		29/48	F
		29/78	6 5 2 L
			6 5 3 A

審査請求 未請求 請求項の数15 O L (全 12 頁)

(21) 出願番号 特願平10-274536

(22) 出願日 平成10年9月29日 (1998.9.29)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 四戸 孝

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝研究開発センター内

(72) 発明者 茂木 直人

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝研究開発センター内

(74) 代理人 100083161

弁理士 外川 英明

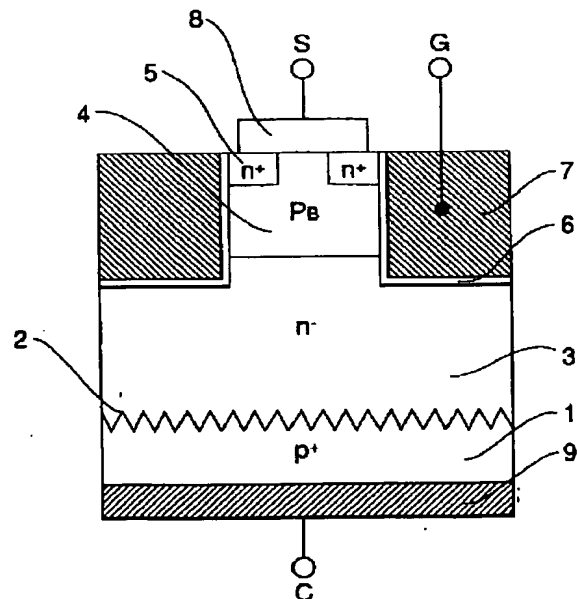
Fターム (参考) 4M104 AA01 BB14 BB36 CC03 FF06
FF13 FF35 GG18 HH20

(54) 【発明の名称】 電力用素子

(57) 【要約】

【課題】 オン電圧の小さな電力用半導体素子を提供すること。

【解決手段】 基板に設けられた第1導電型半導体領域1と、第2導電型半導体領域3とを備え、第1導電型半導体領域1と第2導電型半導体領域3との間に形成されるPN接合2の一部が先鋭化されており、この先鋭化された部分の曲率半径が0.5 μm 以下である電力用素子を提供する。先鋭化されたPN接合2を形成することにより、ビルトインポテンシャルを低下させてオン電圧を低減する。



【特許請求の範囲】

【請求項1】 基板に設けられた第1導電型半導体領域と、第2導電型半導体領域とを備え、前記第1導電型半導体領域と第2導電型半導体領域との間に形成される接合の一部が先鋭化されており、この先鋭化された部分の曲率半径が $0.5\mu\text{m}$ 以下であることを特徴とする電力用素子。

【請求項2】 基板の半導体領域と、この半導体領域と接して設けられ、前記半導体領域とショットキー接合を形成する電極とを備え、前記ショットキー接合の一部が先鋭化されており、この先鋭化された部分の曲率半径が $0.5\mu\text{m}$ 以下であることを特徴とする電力用素子。

【請求項3】 前記接合の先鋭化された部分の曲率半径が $0.1\mu\text{m}$ 以下であることを特徴とする請求項1又は2記載の電力用素子。

【請求項4】 前記先鋭化された部分は、段差形状の角部に対応することを特徴とする請求項1乃至3記載の電力用素子。

【請求項5】 前記段差形状は、V字状若しくは矩形状であることを特徴とする請求項4記載の電力用素子。

【請求項6】 $\{100\}$ の結晶面方位を有する半導体基板に設けられた第1導電型半導体領域と、第2導電型半導体領域とを備え、前記第1導電型半導体領域と第2導電型半導体領域との間に形成される接合の一部が先鋭化されており、この先鋭化された部分は $\{111\}$ の結晶面方位の面により構成されていることを特徴とする電力用素子。

【請求項7】 $\{100\}$ の結晶面方位を有する半導体基板に設けられた半導体領域と、この半導体領域と接して設けられ、前記半導体領域とショットキー接合を形成する電極とを備え、前記ショットキー接合の一部が先鋭化されており、この先鋭化された部分は $\{111\}$ の結晶面方位の面により構成されていることを特徴とする電力用素子。

【請求項8】 固体と当該固体の一方の面に形成されたエミッタと、前記固体の前記エミッタと相対する面に形成されたアノードとからなり、前記エミッタが前記アノードに対して負にバイアスされたとき、前記エミッタより前記固体中に電子が電界放射効果により注入されることを特徴とする電力用素子。

【請求項9】 前記エミッタと前記アノード間の固体中に少なくとも一つのゲートが埋め込まれていることを特徴とする請求項8記載の電力用素子。

【請求項10】 前記固体及び前記ゲートはともに半導体からなるとともに、前記ゲートは、電子が電界放射効果により注入される前記固体の部分と実質的に同一の組成の半導体層からなり、かつp型導電層であることを特徴とする請求項9記載の電力用素子。

【請求項11】 電子が電界放射効果により注入される前記固体の部分は、ダイヤモンド、炭化珪素、窒化ボロ

ン、窒化アルミニウム、窒化ガリウム、又はこれらの固溶体からなる絶縁物もしくは半導体であることを特徴とする請求項8乃至10記載の電力用素子。

【請求項12】 電子が電界放射効果により注入される前記固体の部分は、ダイヤモンド又は閃亜鉛鉱型の結晶からなる絶縁物もしくは半導体であることを特徴とする請求項8乃至10記載の電力用素子。

【請求項13】 前記エミッタ又は前記アノードが形成される前記固体の表面は、 $\{100\}$ の結晶面方位を有することを特徴とする請求項12記載の電力用素子。

【請求項14】 前記エミッタの、電子が電界放射効果により注入される前記固体の部分に接する表面には、Ti及びCrの少なくとも一つを含有する金属薄膜が形成されていることを特徴とする請求項8乃至13記載の電力用素子。

【請求項15】 電子が電界放射効果により注入される前記固体は平板結晶であり、前記エミッタは、当該平板結晶の一方の面に異方性エッチングを用いて先端が尖った孔を形成し、当該孔中に導電性材料を埋め込むことにより形成されるものであることを特徴とする請求項8乃至14記載の電力用素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電力用素子に係り、特に低オン電圧の電力半導体素子、固体中への電子の電界放射効果を利用した電力用素子に関する。

【0002】

【従来の技術】電力用素子のオン電圧は、電圧を阻止するベース層での電圧降下に加えて、絶縁ゲート型半導体素子であればチャネル抵抗、バイポーラ型半導体素子であればPN接合でのビルトインポテンシャル、ショットキーバリアダイオードならばバリアハイトなどが足し合わされて決まっている。比較的低耐圧の電力用素子では、電圧を阻止するベース層は薄くてもよく、ビルトインポテンシャルやバリアハイトがオン電圧の大きな部分を占めている。しかし、これらの値は半導体素子そのものの物性や電極材料により決まっているので、オン電圧を低減することは不可能であった。

【0003】例えば、いわゆるトレンチゲート型IGBTと呼ばれている半導体素子について述べると、以下の通りとなる。図11は、従来のトレンチゲート型IGBTの素子構造を示す断面図である。この半導体素子のオン電圧は、電圧を阻止するnベース層113での電圧降下に加えて、チャネル抵抗、pコレクタ層111とnベース層113との接合112でのビルトインポテンシャル、その他オーミック抵抗などが足し合わされて決まっている。比較的低耐圧の電力用素子では、電圧を阻止するnベース層113は薄くて良く、またチャネル抵抗は微細化によって改善されるものの、ビルトインポテンシャルだけは低減できる手段がこれまで見出されていなか

った。そのため、PN接合を有するバイポーラ型素子は低耐圧では使用することができないという問題があった。なお、図11において、114はpベース層、115はnソース層、116はゲート絶縁膜、117はゲート電極、118はソース電極、119はコレクタ電極である。

【0004】また、いわゆるショットキーバリアダイオードと呼ばれている半導体素子について述べると、以下の通りとなる。図12は、従来のショットキー型ダイオードの素子構造を示す断面図である。この半導体素子は、ショットキー電極127が形成されるカソード領域にメサ構造を有しており、オフ状態ではp型層124からメサ領域123に空乏層が広がって電子注入を抑制するという効果がある。このため、ショットキー電極127にバリアハイトの低い金属を用いても、オフ状態でのリーク電流を低く抑えることができる。このような素子構造のオン電圧は、電圧を阻止するnベース層122での電圧降下に加えて、ショットキー電極127のバリアハイトが足し合わされて決まっている。比較的低耐圧の電力用素子では、電圧を阻止するnベース層122は薄くて良く、バリアハイトがオン電圧の大きな部分を占めていた。そのため、従来はバリアハイトの低い金属をショットキー電極として用いる試みがなされていたが、そのような金属は化学的に活性なものが多く、電極形成が困難であったり、長期的に変質してしまうという問題があり、実用化までは結びついていなかった。なお、図12において、121はn型層、125はp型ポリシリコン層、126はショットキー接合、128はアノード電極（オーミック電極）である。

【0005】また、近年、電力用素子として冷陰極型エミッタを内蔵した真空マイクロ素子が研究開発されている。この真空マイクロ素子は、特に意図的な加熱を行わない条件下でも、高電圧を印加するとエミッタ部（冷陰極型エミッタ）から真空中へ電子が放出される現象を用いている。かかる真空マイクロ素子は、高い逆耐圧特性と、高速応答性と、耐放射線性とを備え、これらの特性はほとんど温度に依存しないことから、高速デバイスやパワーデバイスとして注目されている。

【0006】真空マイクロ素子の動作原理は以下の通りである。即ち、先端が微小な曲率半径を有するエミッタ部が負にバイアスされた時、エミッタ先端部には曲率でほぼ決定される電界が印加され、エミッタ先端部の電子に対するポテンシャル障壁幅が減少し、トンネル現象が発生し、電子が真空中に放射されてアノードに到達する。これに対して、平坦な電極構造となっているアノードにおいては、アノードが負にバイアスされても電界集中が起らず、この結果としてポテンシャル障壁幅が狭くはならず、アノードからの電子の放射が起らないこととなる。

【0007】真空マイクロ素子におけるエミッタは、金

属あるいは半導体等の電気導電性材料によって構成され、先端部が数nm以下の曲率を持つように加工される。かかる先端部が小さな曲率半径を有するエミッタを形成するためには、非常な困難を伴うが、以下の方法を用いる。

【0008】金属からなるエミッタの場合には、エミッタに電圧を印加すると強電界のもとで表面原子が移動してエミッタ先端部の曲率半径が減少するという自己先鋭化現象を利用する。しかしながら、金属からなるエミッタの先端部を自己先鋭化現象を用いて形成することができるということは、とりもなおさずエミッタ先端部は自己変形する程度に強い電界下に置かれていることを意味しており、プロセス的にも非常に不安定であることを意味する。

【0009】また、エッチングや酸化を用いた方法もある。即ち、Si単結晶を選択エッチングした後にこれを酸化することにより、先端部が非常に狭い穿孔となった角錐状の穴を形成し、この穴を鑄形としてエミッタ材料となる金属あるいは半導体物質を堆積し、鑄形を除去して曲率半径の小さい先端部を有するエミッタ構造を形成する。

【0010】真空マイクロ素子では、多数のエミッタを並列的に動作させて用いるが、各エミッタの特性を均一に保持することには相当な困難を伴う。真空マイクロ素子の真空中には、何らかの残留ガスや吸着物質が存在する。真空マイクロ素子の特性は残留ガス種やガス圧に強く影響されるため、ガスの吸着状態の変化の影響を受け雑音や素子特性の変動が現れる。 10^{-7} Paと極めて高い真空度を確保しても10%にも及ぶ素子特性の変動が観測される。素子内部に高い真空を保持するのは、真空マイクロ素子における大きな課題である。

【0011】真空マイクロ素子では、動作中に素子が短絡状態となる現象がしばしば発生し、安定動作の上で極めて大きな問題となっている。エミッタを並列的に動作させている場合、短絡状態となった真空マイクロ素子を観察すると、エミッタ部分が溶融し、エミッタ物質が蒸発している様子が見出される。これは、ある特定なエミッタを通しての回路の抵抗が急激に低下し、電流が特定のエミッタを通して集中して流れ、そのエミッタが異常な高温となり、エミッタ物質が溶融気化する現象が起きることを示している。

【0012】エミッタの溶融破壊現象は、制御電極が形成された構造の素子においては、エミッタを円周状に取り囲む制御電極とエミッタ部分とに見出されることから、エミッタと制御電極間の放電現象に起因した要因があると考えられる。特定のエミッタに電流が集中し素子が破壊される現象を防止することは、真空マイクロ素子において極めて重要な問題である。これを回路的に防止するために、各エミッタに個別に保護抵抗を挿入し電流制限が加わるようにするか、あるいは各エミッタ毎に電

流制限回路を挿入する方策が採られている。

【0013】しかしながら、かかる方策によっても十分に安定動作を確保することができず、またかえって素子構造や動作回路が複雑化してしまい、余分な電力損失や製造コストの増加といった問題も生ずる。

【0014】

【発明が解決しようとする課題】以上述べたように、従来の電力用素子には、ビルトインポテンシャルやバリアハイトがオン電圧の大きな部分を占めているものがあり、このオン電圧の値は半導体素子そのものの物性や電極材料により決まっているので、オン電圧を低減することは不可能であった。

【0015】また、従来の真空マイクロ素子においては、動作中に素子が短絡状態となる現象がしばしば発生し、安定動作の上で極めて大きな問題となっている。これを回路的に防止するために、各エミッタに個別に保護抵抗を挿入し電流制限が加わるようにしたり、各エミッタ毎に電流制限回路を挿入する方策が採られているが、かかる方策によっても十分に安定動作を確保することができず、かえって素子構造や動作回路は複雑化してしまい、余分な電力損失や製造コストの増加といった問題も生ずる。本発明は、低いオン電圧や安定した動作を有する特性の優れた電力用素子を提供することを目的とするものである。

【0016】

【課題を解決するための手段】上記課題を解決するため、本発明の第1は、基板に設けられた第1導電型半導体領域と、第2導電型半導体領域とを備え、前記第1導電型半導体領域と第2導電型半導体領域との間に形成される接合の一部が先鋭化されており、この先鋭化された部分の曲率半径が $0.5\mu\text{m}$ 以下であることを特徴とする電力用素子を提供する。

【0017】かかる本発明において、以下の構成を備えたものが好ましい。

(1) 前記接合の先鋭化された部分の曲率半径が $0.1\mu\text{m}$ 以下であること。

(2) 前記先鋭化された部分は、段差形状の角部に対応すること。

【0018】(3) 前記段差形状は、V字状若しくは矩形状であること。

また、本発明の第2は、{100}の結晶面方位を有する半導体基板に設けられた第1導電型半導体領域と、第2導電型半導体領域とを備え、前記第1導電型半導体領域と第2導電型半導体領域との間に形成される接合の一部が先鋭化されており、この先鋭化された部分は{111}の結晶面方位の面により構成されていることを特徴とする電力用素子を提供する。

【0019】本発明の第1および第2によれば、第1導電型半導体領域と第2導電型半導体領域とが接して形成されるPN接合の一部が先鋭化された形状となるように

形成されているので、PN接合の先鋭化された部分のビルトインポテンシャルが他の部分に比べて低くなる。このため、バイポーラ型電力用半導体素子等の場合においてオン電圧を増加させる大きな要因となっていたビルトインポテンシャルを低下させることができ、オン電圧を著しく低減することが可能となる。したがって、PN接合のビルトインポテンシャルの大きさが障害となっていたバイポーラ型電力用半導体素子等を比較的低耐圧の用途にも適用することが可能となる。

【0020】また、本発明の第3は、基板の半導体領域と、この半導体領域と接して設けられ、前記半導体領域とショットキー接合を形成する電極とを備え、前記ショットキー接合の一部が先鋭化されており、この先鋭化された部分の曲率半径が $0.5\mu\text{m}$ 以下であることを特徴とする電力用素子を提供する。

【0021】かかる本発明において、以下の構成を備えたものが好ましい。

(1) 前記接合の先鋭化された部分の曲率半径が $0.1\mu\text{m}$ 以下であること。

(2) 前記先鋭化された部分は、段差形状の角部に対応すること。

【0022】(3) 前記段差形状は、V字状若しくは矩形状であること。

また、本発明の第4は、{100}の結晶面方位を有する半導体基板に設けられた半導体領域と、この半導体領域と接して設けられ、前記半導体領域とショットキー接合を形成する電極とを備え、前記ショットキー接合の一部が先鋭化されており、この先鋭化された部分は{111}の結晶面方位の面により構成されていることを特徴とする電力用素子を提供する。

【0023】本発明の第3および第4によれば、半導体領域と電極とが接して形成されるショットキー接合の一部が先鋭化された形状となるように形成されているので、ショットキー接合の先鋭化された部分のバリアハイトが他の部分に比べて低くなる。このため、ショットキーバリアダイオードのオン電圧を増加させる大きな要因となっていたバリアハイトを低下させることができ、オン電圧を著しく低減することが可能である。

【0024】また、本発明の第5は、固体と当該固体の一方の面に形成されたエミッタと、前記固体の前記エミッタと相対する面に形成されたアノードとからなり、前記エミッタが前記アノードに対して負にバイアスされたとき、前記エミッタより前記固体中に電子が電界放射効果により注入されることを特徴とする電力用素子を提供する。

【0025】かかる本発明において、以下の構成を備えたものが好ましい。

(1) 前記エミッタと前記アノード間の固体中に少なくとも一つのゲートが埋め込まれていること。

【0026】(2) 前記固体及び前記ゲートはともに半

導体からなるとともに、前記ゲートは、電子が電界放射効果により注入される前記固体の部分と実質的に同一の組成の半導体層からなり、かつp型導電層であること。

【0027】(3) 電子が電界放射効果により注入される前記固体の部分は、ダイヤモンド、炭化珪素、窒化ボロン、窒化アルミニウム、窒化ガリウム、又はこれらの固溶体からなる絶縁物もしくは半導体であること。

【0028】(4) 電子が電界放射効果により注入される前記固体の部分は、ダイヤモンド又は閃亜鉛鉱型の結晶からなる絶縁物もしくは半導体であること。

(5) 前記エミッタ又は前記アノードが形成される前記固体の表面は、{100}の結晶面方位を有すること。

【0029】(6) 前記エミッタの、電子が電界放射効果により注入される前記固体の部分に接する表面には、Ti及びCrの少なくとも一つを含有する金属薄膜が形成されていること。

【0030】(7) 電子が電界放射効果により注入される前記固体は平板結晶であり、前記エミッタは、当該平板結晶の一方の面に異方性エッチングを用いて先端が尖った孔を形成し、当該孔中に導電性材料を埋め込むことにより形成されるものであること。

【0031】本発明の第5によれば、真空中への電子の電界放射現象ではなく、固体中への電子の電界放射現象を用いることによって、電界放射型の電力用素子を構成する。真空マイクロ素子で見出される二つの顕著な問題点、すなわち、放電破壊によるエミッタ部の破損と特性の変動は、共に、電子の電界放射現象が起きる空間が真空であることに起因した現象である。本発明のように、電子が電界放射される空間を固体内とすれば、真空マイクロ素子における問題点は基本的に解決される。さらに、真空マイクロ素子のように各エミッタごとに電流制限回路を設けて放電破壊現象を防止することが不要となるため、動作回路は極めて簡単となり、素子破壊防止のために費やされる余分な電力を減らすことができ、高速かつ低消費電力の電力用素子を提供することが可能となる。

【0032】電子が固体中に電界放射される現象はこれまで電子装置としては用いられていない。物理的現象として存在するはずの固体中への電界放射現象が電子装置として利用され得なかったのには、いくつかの理由が考えられる。トンネル現象によって電子を引き出し放射させるには 10^8 V/cm程度に高い電界が必要とされる。このような高電界は固体材料の本質的な絶縁破壊電圧に近い領域である。このような絶縁破壊に近い高電界下では、固体の欠陥が致命的問題となる。この問題は、固体材料として絶縁破壊を起こしにくい丈夫な高融点材料で、かつ、欠陥の少ない単結晶が成長できる材料で素子を作製することにより解決することができる。即ち、欠陥を発生しにくい素子構造の適用と、欠陥を発生させない素子構造形成プロセスを用いることにより解決することが可

能である。

【0033】また、かかる本発明の第5による電力用素子において、エミッタに作用するゲートが実質的に固体中に埋め込まれた構造となっており、かかる構造とすることにより、高電界下で固体表面を通して起きる沿面放電は発生せず、ガス成分の脱吸着現象も発生しない。

【0034】さらに、ゲートの材料とゲートが埋め込まれる固体の材料とが組成的に実質的に同一と認められない場合には、電界放射型の電力用素子の堆積の際に結晶欠陥の発生が避けられない。ゲートの材料をゲートが埋め込まれる固体の材料と実質的に同一の組成とした場合には、ゲート部分に不純物を高濃度に添加することによって低抵抗ゲートを容易に形成することができる。

【0035】電子がエミッタから電界放射によって注入される固体材料は、トンネルに対するポテンシャル障壁をできるだけ低くする点から、n型もしくはノンドープとするのが良い。この点でゲートの導電型はp型とするのが良い。

【0036】また、電子が電界放射効果により注入される前記固体の部分として、ダイヤモンド、炭化珪素、窒化ボロン、窒化アルミニウム、窒化ガリウム、又はこれらの固溶体からなる絶縁物もしくは半導体を用いると好ましいが、これは次の理由によるものである。即ち、I-V族元素半導体やIII-V族の化合物半導体のなかでも禁制帯幅の広い、ダイヤモンドや炭化珪素、窒化ボロンや窒化アルミニウム、窒化ガリウムは高融点材料であり、また、絶縁破壊電界も高い。したがって、これらの材料は放電破壊現象を起こすことなく素子動作を行う点で優れている。

【0037】また、電子が電界放射効果により注入される前記固体の部分として、ダイヤモンド又は閃亜鉛鉱型の結晶からなる絶縁物もしくは半導体を用いる場合には、特に前記固体の表面が{100}の結晶面方位を有すると、異方性エッチングによりエッチング孔は{111}面で囲まれた四角錐となり、エッチング孔の先端は極めて尖った形状となる。このエッチング孔を適当な導電材料で埋め込むことにより、固体中へ電子を電界放射効果によって注入する良好なエミッタが構成される。

【0038】また、前記エミッタの、電子が電界放射効果により注入される前記固体の部分に接する表面に、Ti及びCrの少なくとも一つを含有する金属薄膜が形成されていることが好ましいが、これは以下の理由によるものである。即ち、異方性エッチングによって形成したエッチング孔に導電材料を埋め込み、良好なエミッタを形成するためには、エッチングで形成された孔の先端まで導電材料を侵入させることが望ましい。曲率半径の小さい先端部まで導電材料を侵入させる上での障害は、固体である導電材料の表面張力である。ダイヤモンド等の高融点材料の場合、Ti及びCrの少なくとも一つを含有する金属薄膜は、曲率半径の小さいエッチング孔の先

端部まで侵入することが確認された。これはTi及びCrの少なくとも一つを含有する金属はダイヤモンド等の高融点材料との濡れ性が良好であることを反映した結果と考えられる。Ti及びCrの少なくとも一つを含有する金属薄膜を緩衝層として、電子が注入される固体と前記エミッタ電極(カソード電極)との間に導入することにより、低電圧で動作するエミッタ構造を実現することができた。

【0039】また、電子が電界放射効果により注入される前記固体は平板結晶であり、前記エミッタは、当該平板結晶の一方の面に異方性エッチングを用いて先端が尖った孔(四角錐状孔等)を形成し、当該孔中に導電性材料を埋め込むことにより形成されるものであることが以下の理由により望ましい。

【0040】即ち、前述したように真空マイクロ素子における一つの問題はエミッタ間の特性のばらつきであるが、かかる本発明による電力用半導体素子の場合には、微小な曲率半径を有するエミッタ先端構造を製作するのに必要な工程は一つの異方性エッチング工程である。また、エミッタ構造は結晶各面の特性によって決定されるものであるために、極めて再現性が高い。スピント型のエミッタ構造の場合のように、微小な曲率半径を有する構造を、工程を実施する度に変化する環境の下で、形成するのは再現性に乏しく極めて困難である。各エミッタごとのばらつきも極めて大きなものにならざるを得ない。

【0041】一方、真空マイクロ素子の製造方法においてシリコン等の結晶に異方性エッチングにより形成したエッチング孔を鋳型として別種の材料からエミッタを形成する場合も、結晶の異方性エッチングによってエミッタ構造を製作する点においては本発明の場合と同様であるが、鋳型の除去等、他段階のプロセスを経てエミッタ構造が製作される点と、異方性エッチングによって製作されたエッチング孔そのものがエミッタ構造の一部とはなっていない点で異なる。多数の段階の工程を経た後では、形状の変形も著しくなり、また、エミッタ間のばらつきも増大する。本発明では、一度のエッチング工程でエミッタ構造を製作できるように極めて再現性良く、かつ均一にエミッタを製造することが可能である。

【0042】

【発明の実施の形態】以下、本発明の電力用素子に係る実施形態を図面を参照しながら説明する。

(第1の実施形態)図1は、本発明の第1の実施形態に係る電力用素子の素子構造を示す断面図である。図1に示される本実施形態の半導体素子は、いわゆるトレンチゲート型IGBTであり、p型コレクタ層1とn型ベース層3とからなるPN接合2の一部に先鋭化された部分を有している。この先鋭化された部分の曲率半径は概略0.01~0.1 μ mである。n型ベース層3上にはこれと接するようにp型ベース層4が形成され、p型ベ

ース層4の表面にはn⁺型ソース層5が形成されている。また、n⁺型ソース層5及びp型ベース層を貫通するように溝が設けられ、この溝にはゲート絶縁膜6を介してゲート電極7が埋め込まれている。n⁺型ソース層5及びp型ベース層4にはソース電極8がコンタクトし、p型コレクタ層1にはコレクタ電極9がコンタクトしている。

【0043】かかる構造によれば、PN接合2の先鋭化された部分のビルトインポテンシャルが他の部分よりも低くなり、その分だけ素子のオン電圧が低減される。その結果、PN接合のビルトインポテンシャルの大きさが障害となっていたIGBTを比較的低耐圧の用途にも適用することが可能となる。

【0044】次に、第1の実施形態に係わる電力用素子の基板を作製するための第1の方法について説明する。図2はこの第1の方法を示す工程断面図である。まず、図2(a)に示すようにn型基板21に異方性エッチングを施すことによりV字形の溝22aを形成し、次に熱酸化を行って溝22aの先端部の先鋭化を行う(図2(b))。22bはこの先鋭化により形成された先端部である。

【0045】次に、熱酸化によりn型基板21の表面に形成された熱酸化膜を除去した後、その上に高濃度p型層23をエピタキシャル成長する(図2(c))。高濃度p型層23の表面には段差23aが形成される。必要により高濃度p型層23の表面をラッピングなどによって平坦化して図1の基板とする。ここで、n型基板21はn型ベース層3、高濃度p型層23はp型コレクタ層1となり、n型基板21と高濃度p型層23との間には一部が先鋭化されたPN接合が形成される。その後は、この基板をひっくり返して通常のIGBT作製プロセス工程で第1の実施形態に係わる電力用半導体素子を作製することができる。

【0046】上記した異方性エッチングの工程は、基板としてシリコン(Si)基板や立方晶炭化珪素(3C-SiC)基板を用いた場合はエッチング液としてKOHを用いることができる。

【0047】次に、第1の実施形態に係わる電力用素子の基板を作製するための第2の方法について説明する。図3はこの第2の方法を示す工程断面図である。まず、図3(a)に示すように高濃度p型基板31に異方性エッチングを施すことによりV字形の溝32を形成し、その上にn型層33をエピタキシャル成長する(図3(b))。高濃度p型層33の表面には段差33aが形成される。必要によりn型層33の表面をラッピングなどによって平坦化して図1の基板とする。また、高濃度p型基板31もそのエピタキシャル成長する面と反対側の面を研磨することにより薄くしても良い。ここで、高濃度p型基板31はp型コレクタ層1、n型層33はn型ベース層3となり、高濃度p型基板31とn型層33

との間には先鋭化した先端部を有するPN接合が形成される。その後は、通常のIGBT作製プロセス工程で第1の実施形態に係わる電力用半導体素子を作製することができる。この第2の方法においても上記した異方性エッチングを用いることが可能である。

【0048】(第2の実施形態)図4は、本発明の第2の実施形態に係わる電力用素子の素子構造を示す断面図である。この図において、図1と同一部分には同一の符号を付して示し詳細な説明は省略する。

【0049】本実施形態の半導体素子では、p型コレクタ層41とn型ベース層43との間にPN接合42が形成され、このPN接合42の一部はリアクティブイオンエッチング(RIE)などによって先鋭化されている。即ち、リアクティブイオンエッチング(RIE)などによってp型コレクタ層41に溝を形成し、この溝を含むp型コレクタ層41全面にn型ベース層43をエピタキシャル成長により形成することにより、溝の角が尖端部となったPN接合42が形成される。この先鋭化された部分の曲率半径は概略0.3 μ mである。

【0050】また、これとは反対にリアクティブイオンエッチング(RIE)などによってn型ベース層43に溝を形成し、この溝を含むn型ベース層43全面にp型コレクタ層41をエピタキシャル成長により形成することによっても同様の基板が得られる。

【0051】このように先鋭化された部分のビルトインポテンシャルは低くなり、これによってオン電圧を低減することが可能となる。この方法によれば、薬液による異方性エッチングができない材料においてもRIEによって溝を形成することができるので、適用可能な材料の範囲が広がるという利点を有している。

【0052】上記したリアクティブイオンエッチングの工程は、基板としてシリコン(Si)基板を用いた場合はエッチングガスとしてHBrとNF₃を含む混合ガスを用い、炭化珪素(SiC)基板を用いた場合はエッチングガスとしてSF₆とO₂を含む混合ガス、又はNF₃を含むガスを用いることができる。

【0053】(第3の実施形態)図5は、本発明の第3の実施形態に係わる電力用素子の素子構造を示す断面図である。この図において、図1と同一部分には同一の符号を付して示し詳細な説明は省略する。

【0054】本実施形態の半導体素子では、p型コレクタ層51とn型ベース層53との間にPN接合52が形成され、このPN接合52の一部は第2の実施形態の場合よりもさらに先鋭化されている。即ち、リアクティブイオンエッチング(RIE)のエッチング条件を選ぶことによってn型ベース層53に底面端部がえぐれた溝を形成し、この溝を含むn型ベース層53全面にp型コレクタ層51をエピタキシャル成長により形成し、この基板をひっくり返すことにより、溝のえぐれた部分が尖端部となったPN接合52が形成される。この先鋭化され

た部分の曲率半径は概略0.01~0.1 μ mである。本実施形態の装置によれば、第2の実施形態よりもさらにビルトインポテンシャルを低くすることができ、オン電圧を更に低減することが可能となる。

【0055】上記したリアクティブイオンエッチングの工程としては、溝側壁の堆積膜生成が抑えられるようにO₂ガス流量を抑えるなどの方法を用いることができる。かかる方法により、溝をボーイング形状(溝のほぼ中間深さの部分の幅が溝の開口部及び底部の幅よりも広くなった形状)として斜め入射イオンを増加させることができ、底面端部がえぐれた溝を形成することが可能である。

【0056】(第4の実施形態)図6は、本発明の第4の実施形態に係わる電力用素子の素子構造を示す断面図である。図6に示される本実施形態の半導体素子は、いわゆるトレンチ型ショットキーバリアダイオードであり、n型ベース層62とショットキー電極67とからなるショットキー接合66の一部に先鋭化された部分を有している。この先鋭化された部分の曲率半径は概略0.01~0.1 μ mである。n型ベース層62のショットキー電極67と反対側の面には高濃度n型層61が形成されており、この高濃度n型層61にはアノード電極(オーミック電極)68がコンタクトしている。

【0057】また、n型ベース層62はメサ型に形成されており、n型ベース層62のメサ領域63に隣接して溝が設けられている。この溝の表面には高濃度p型層64が形成されており、当該溝を埋め込むように高濃度p型ポリシリコン層65が形成されている。ショットキー接合66の先鋭化された部分の深さは、高濃度p型ポリシリコン層65の深さよりも浅くなっている。前記ショットキー電極67は、高濃度p型層64及び高濃度p型ポリシリコン層65にもコンタクトしている。

【0058】かかる構造によれば、先鋭化された部分のバリアハイトが他の部分よりも低くなり、その分だけ素子のオン電圧が低減される。その結果、安定した電極材料を用いてバリアハイトを低下させることが可能となる。

【0059】本実施形態に係わる電力用半導体素子の基板において、n型ベース層62のメサ領域63とショットキー電極67との間のショットキー接合66に先鋭化部分を形成するためには、第1の実施形態で述べた異方性エッチング方法を用いることができ、異方性エッチングにより形成した孔にショットキー電極67を埋め込んでショットキーバリアダイオードを作製することが可能である。

【0060】(第5の実施形態)図7は、本発明の第5の実施形態に係わる電力用素子の素子構造を示す断面図である。この図において、図1と同一部分には同一の符号を付して示し詳細な説明は省略する。

【0061】本実施形態の半導体素子では、n型ベース

層62のメサ領域73とショットキー電極77との間にショットキー接合76が形成され、このショットキー接合76の一部はリアクティブイオンエッチング(RIE)などによって先鋭化されている。即ち、リアクティブイオンエッチング(RIE)などによってn型ベース層62のメサ領域73に溝を形成し、この溝を含むメサ領域73全面にショットキー電極77を形成することにより、溝の角が尖端部となったショットキー接合76が形成される。ショットキー接合76の先鋭化された部分の深さは、高濃度p型ポリシリコン層65の深さよりも浅くなっている。上記先鋭化された部分の曲率半径は概略0.3 μ mである。

【0062】上記したように溝の角が尖端部となったショットキー接合76によれば、この尖端部のバリアハイトが低くなってオン電圧を低減することが可能となる。このような構成によれば、薬液による異方性エッチングができない材料においてもRIEによって溝を形成することができるので、適用可能な材料の範囲が広がるという利点を有している。

【0063】本実施形態に係わる電力用半導体素子の基板において、n型ベース層62のメサ領域73とショットキー電極77との間のショットキー接合76に先鋭化部分を形成するためには、第2の実施形態で述べた異方性エッチング方法を用いることができ、異方性エッチングにより形成した孔にショットキー電極77を埋め込んでショットキーバリアダイオードを作製することが可能である。

【0064】(第6の実施形態)図8は、本発明の第6の実施形態に係わる電力用素子の素子構造を示す断面図である。この図において、図1と同一部分には同一の符号を付して示し詳細な説明は省略する。

【0065】本実施形態の半導体素子では、n型ベース層62のメサ領域83とショットキー電極87との間にショットキー接合86が形成され、このショットキー接合86の一部は第5の実施形態の場合よりもさらに先鋭化されている。即ち、リアクティブイオンエッチング(RIE)のエッチング条件を選ぶことによってn型ベース層62のメサ領域83に底面端部がえぐれた溝を形成し、この溝を含むメサ領域83全面にショットキー電極87を形成することにより、溝のえぐれた部分が尖端部となったショットキー接合86が形成される。ショットキー接合86の先鋭化された部分の深さは、高濃度p型ポリシリコン層65の深さよりも浅くなっている。この先鋭化された部分の曲率半径は概略0.01~0.1 μ mである。本実施形態の装置によれば、第5の実施形態よりもさらに上記尖端部のバリアハイトが低くなってオン電圧を更に低減することが可能となる。

【0066】本実施形態に係わる電力用半導体素子の基板において、n型ベース層62のメサ領域83とショットキー電極87との間のショットキー接合86に先鋭化

部分を形成するためには、第3の実施形態で述べた異方性エッチング方法を用いることができ、異方性エッチングにより形成した孔にショットキー電極87を埋め込んでショットキーバリアダイオードを作製することが可能である。

【0067】(第7の実施形態)図9は、本発明の第7の実施形態に係わる電力用素子の素子構造を示す断面図である。図9に示すように、(100)を主面とするノンドープダイヤモンド板状結晶91の一方の面には、先端が先鋭化された角錐状孔92が形成され、この角錐状孔92にはMo金属層93が埋め込まれてエミッタが構成されている。角錐状孔92とMo金属層93との間には、厚みが1nmのTi薄膜94が挿入されている。角錐状孔92の先端部の曲率半径は概略0.01~0.1 μ mである。ダイヤモンド板状結晶91の、エミッタに相対する面にはTi層、Pt層、Au層が順に積層されてなる電極95がアノード電極として形成されている。また、エミッタとして機能する角錐状孔92の先端部を取り囲むごとくp型ダイヤモンド層96がダイヤモンド板状結晶91に埋め込まれ、ゲートとして機能する。

【0068】かかる構造の電子装置では、エミッタが負になるようバイアスが印加された時、エミッタなるMo金属層93の角錐状孔92の先端部から電子が電界放射効果によってダイヤモンド板状結晶層91に注入され、アノード電極95から電流が取り出される。これはいわゆる真空マイクロ素子によって実現される機能と同一である。しかるに本発明の素子の場合には、真空マイクロ素子で観測されたエミッタの熔融破壊現象や、雑音や異常な特性変動は観測されなかった。

【0069】(第8の実施形態)図10は、本発明の第8の実施形態に係わる電力用素子の製造方法を示す工程断面図である。まず、図10(a)に示すように、厚さが100 μ mの結晶面が(100)のダイヤモンド結晶101の表面に真空蒸着法によって0.5 μ m厚のSiO₂膜102を形成し、SiO₂膜102上にフォトリソグラフィ法によってリング状の開口部を有するフォトレジストマスク103を形成する。

【0070】次に、図10(b)に示すように、フォトレジストマスク103を用いて、反応性イオンエッチング法によってSiO₂膜102を選択エッチングする。このエッチングにおいて、SF₆、CHF₃等のガスを用いる。その後、O₂アッシャーによりフォトレジストマスク103を除去してSiO₂マスク104を形成する。

【0071】次に、図10(c)に示すように、SiO₂マスク104を用いてダイヤモンド結晶101中にp型不純物であるBの拡散を行い、p型ダイヤモンド層からなるリング状のゲート層105を形成する。SiO₂マスク104は希フッ酸によりエッチング除去し、その後ダイヤモンド結晶101面上に、CVD法によって2

μm 厚のノンドープダイヤモンド層106を一樣にホモエピタキシャル成長する。しかる後に $0.5\mu\text{m}$ 厚の SiO_2 膜107をCVD法によって再度形成し、フォトリソグラフィ法によってゲート層105の中心部に開口を有するフォトレジストマスク108を形成する。

【0072】次に、図10(d)に示すように、フォトレジストマスク108を用いて SiO_2 膜107をエッチングし、 SiO_2 マスク109を形成する。さらに、フォトレジストマスク108を除去した後、 SiO_2 マスク109を用い熱酸化によりノンドープダイヤモンド層106に対して異方性エッチングを行い、ノンドープダイヤモンド層106に四角錐状孔110を形成する。この四角錐状孔110の先端部の曲率半径は概略 $0.01\sim0.1\mu\text{m}$ である。

【0073】しかる後に、図10(e)に示すように、 SiO_2 マスク109上から真空蒸着法によってTi層111を 1nm 堆積させた後、Mo層112を真空蒸着してカソード電極を形成する。ダイヤモンド結晶101のカソード電極112と反対側の面にはTi層、Pt層、Au層を順に真空蒸着してアノード電極110を形成する。なお、Ti層111はノンドープダイヤモンド層106全面に形成しても良いし、図10(e)のように四角錐状孔110内に選択的に形成しても良い。後者の場合にはウエハーの反りが低減されるという利点がある。

【0074】かかる製造方法によって製作された電界放射電子装置は、各エミッタ間の特性のばらつきが極めて少なく、安定した特性を実現することが可能となった。なお、本発明は上記実施形態に限定されることはない。例えばGTOサイリスタのPエミッタ層とNベース層との間の接合に先端部を用いるなど、逆耐圧の要求されないPN接合ならば、種々のデバイスに適用してそれらのオン電圧を低減することができる。

【0075】また、第7及び第8の実施形態では基本的な構造のみを示したが、この構造を繰り返した構造やゲート形状を変形した構造などにも適用することができる。その他、本発明の要旨を逸脱しない範囲で、種々変形して実施できる。

【0076】

【発明の効果】以上述べたように、本発明によれば、先鋭化されたPN接合やショットキー接合が形成されることにより、ビルトインポテンシャルやショットキーバリアハイトが低減して、オン電圧の小さな電力用素子を実現することができる。

【0077】また、本発明によれば、固体中への電子の電界放出現象を用いることにより、放電破壊や特性変動の問題を解決し、高速かつ低消費電力で安定した動作を有する特性の優れた電力用素子を提供することが可能となる。この点で本発明の価値は極めて高い。

【図面の簡単な説明】

【図1】 本発明の第1の実施形態に係わる電力用半導体素子の素子構造を示す断面図。

【図2】 本発明の第1の実施形態に係わる電力用半導体素子を製造する第1の方法を示す工程断面図。

【図3】 本発明の第1の実施形態に係わる電力用半導体素子を製造する第2の方法を示す工程断面図。

【図4】 本発明の第2の実施形態に係わる電力用半導体素子の素子構造を示す断面図。

【図5】 本発明の第3の実施形態に係わる電力用半導体素子の素子構造を示す断面図。

【図6】 本発明の第4の実施形態に係わる電力用半導体素子の素子構造を示す断面図。

【図7】 本発明の第5の実施形態に係わる電力用半導体素子の素子構造を示す断面図。

【図8】 本発明の第6の実施形態に係わる電力用半導体素子の素子構造を示す断面図。

【図9】 本発明の第7の実施形態に係わる電子の固体中への電界放出現象を用いた電力用素子の素子構造を示す断面図。

【図10】 本発明の第8の実施形態に係わる電子の固体中への電界放出現象を用いた電力用素子を製造する方法を示す工程断面図。

【図11】 従来のトレンチ型IGBTの素子構造を示す断面図。

【図12】 従来のトレンチ型ショットキーバリアダイオードの素子構造を示す断面図。

【符号の説明】

1、41、51…p型コレクタ層

2、42、52…PN接合

3、43、53…n型ベース層

4…p型ベース層

5…n'型ソース層

6…ゲート絶縁膜

7…ゲート電極

8…ソース電極

9…コレクタ電極

61…高濃度n型層

62…n型ベース層

63、73、83…メサ領域

64…高濃度p型層

65…高濃度p型ポリシリコン層

66、76、86…ショットキー接合

67、77、87…ショットキー電極

68…アノード電極（オーミック電極）

91…ノンドープダイヤモンド結晶

92…角錐状孔

93…Mo金属層

94…Ti薄膜

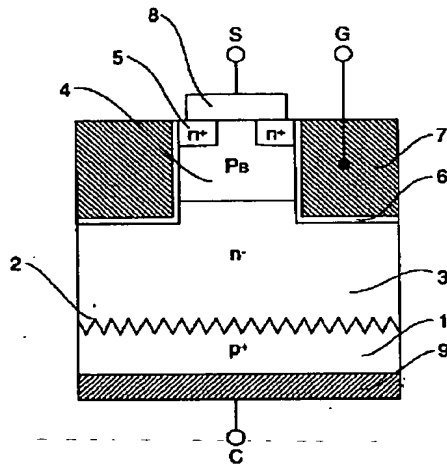
95…アノード電極

96…ゲート（p型ダイヤモンド層）

17

- 101…ダイヤモンド結晶
 102…SiO₂ 膜
 103…レジストマスク
 104…SiO₂ マスク
 105…ゲート層
 106…ノンドーパダイヤモンド層

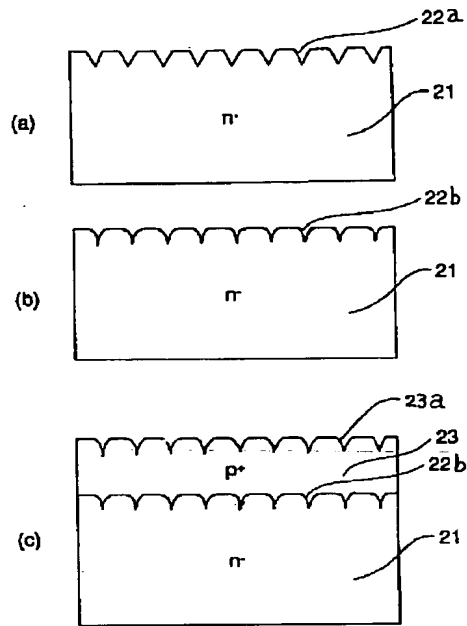
【図1】



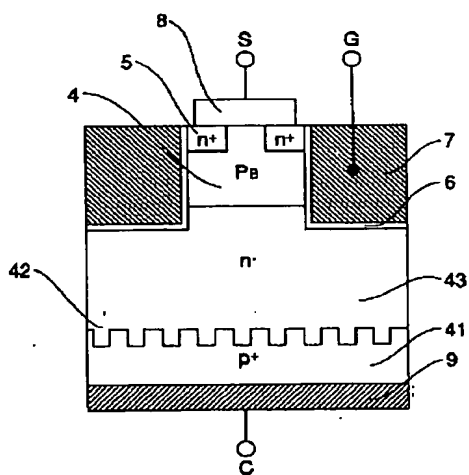
18

- * 107…SiO₂ 膜
 108…フォトリソマスク
 109…SiO₂
 110…アノード電極
 111…四角錐状孔
 * 112…カソード電極

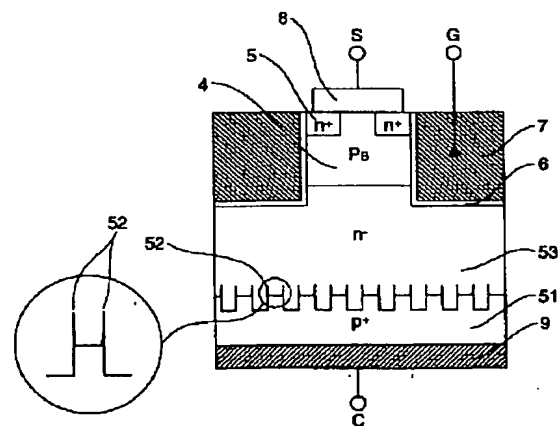
【図2】



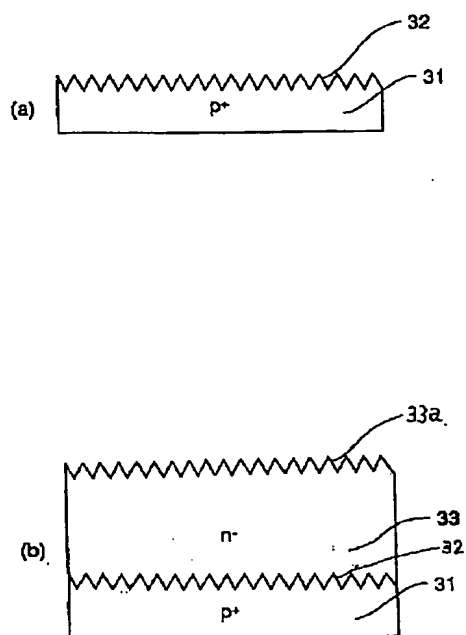
【図4】



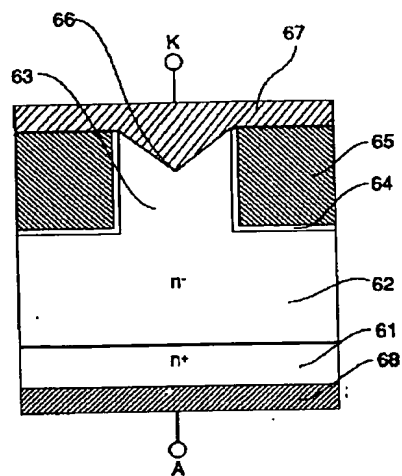
【図5】



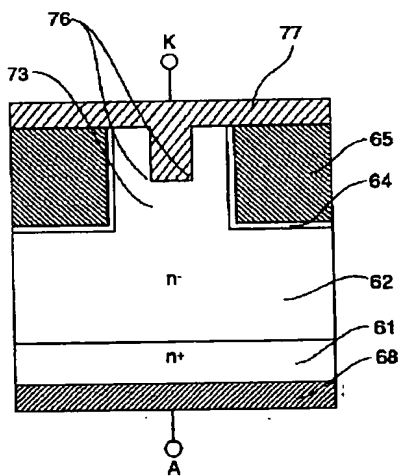
【図 3】



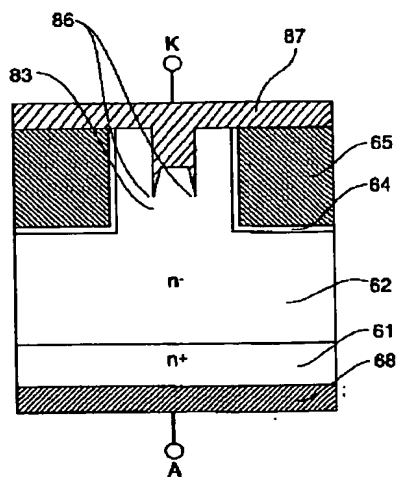
【図 6】



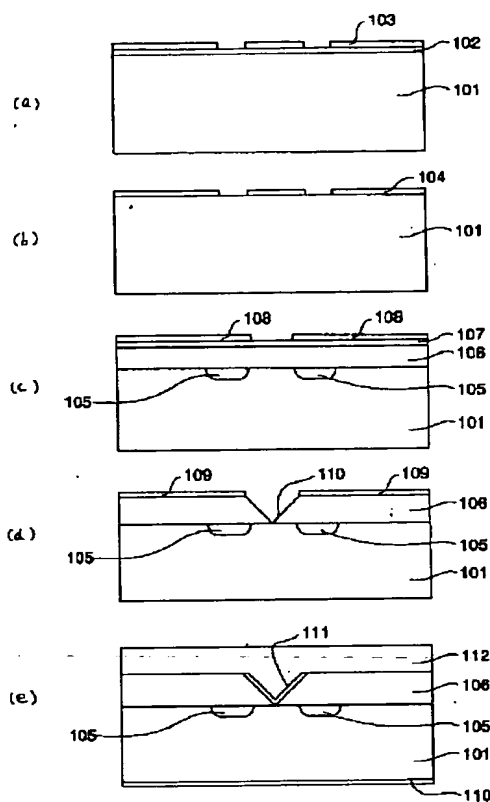
【図 7】



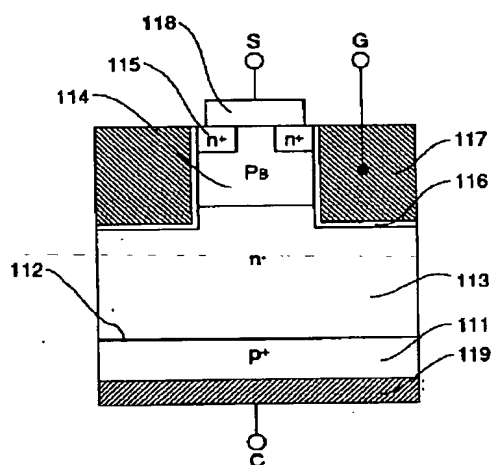
【図 8】



【圖 10】



【図 11】



【圖 12】

